

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-110810

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

H01L 21/3205

H01L 29/78

(21)Application number : 11-285303

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

(22)Date of filing : 06.10.1999

(72)Inventor : AOYAMA MASAOKI

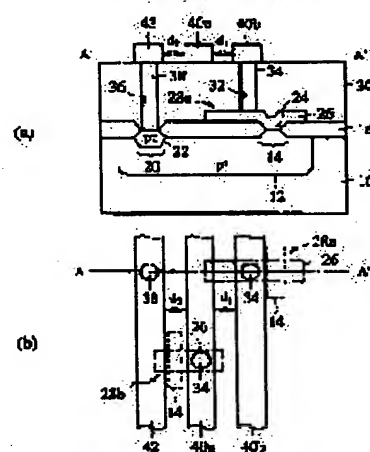
## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device for preventing the damage of a gate insulation film even if fine wiring is to be formed, and its manufacturing method.

**SOLUTION:** The semiconductor device is provided with a transistor 28a with a gate electrode 26 being formed via a gate insulation film 24 on a ground substrate 10, an insulation film 30 that is formed on the transistor and the ground substrate, a plurality of first wiring 40a and 40b that are formed on the insulation film while being separated each other with a first interval d1, and second wiring 42 that is formed while being separated from either of the first wiring at a second interval d2 that is nearly equal to the first interval. Either of the first wiring is electrically connected to the first gate electrode, and the second wiring is electrically connected to the ground substrate.

本発明の第1実施形態による半導体装置を示す断面図及び平面図



10...基板  
12...ゲート絶縁膜  
14...第一導電層  
16...第二導電層  
18...第三導電層  
20...トランジスタ  
22...ゲート電極  
24...ゲート絶縁膜  
26...トランジスタ  
28a...トランジスタ  
30...絶縁膜  
32...コンタクト  
34...第一導電層  
36...第二導電層  
38...第三導電層  
40a, 40b...第一導電層  
42...第二導電層

## LEGAL STATUS

[Date of request for examination]

08.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-110810  
(P2001-110810A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 21/3205  
29/78

識別記号

F I

H 0 1 L 21/88  
29/78

テーマコード(参考)

Z 5 F 0 3 3  
3 0 1 X 5 F 0 4 0

審査請求 未請求 請求項の数 4 O L (全 10 頁)

(21) 出願番号 特願平11-285303

(22) 出願日 平成11年10月6日 (1999.10.6)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 青山 正明

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 100087479

弁理士 北野 好人

最終頁に続く

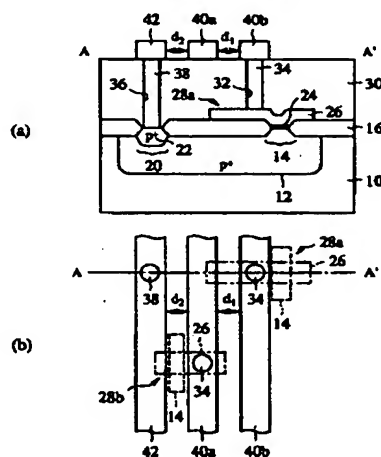
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 微細化した配線を形成する場合であっても、ゲート絶縁膜の破壊を防止する半導体装置及びその製造方法を提供する。

【解決手段】 下地基板10上にゲート絶縁膜24を介して形成されたゲート電極26を有するトランジスタ28aと、トランジスタ上及び下地基板上に形成された絶縁膜30と、絶縁膜上に、第1の間隔d<sub>1</sub>で互いに離間して形成された複数の第1の配線40a、40bと、第1の配線のいずれかから第1の間隔とほぼ等しい第2の間隔d<sub>2</sub>で離間して形成された第2の配線42とを有し、第1の配線のいずれかは、第1のゲート電極に電気的に接続されており、第2の配線は、下地基板に電気的に接続されている。

本発明の第1実施形態による半導体装置を示す  
断面図及び平面図



10…半導体基板  
12…ウェル  
14…電子領域  
16…層間絶縁膜  
20…コンタクト領域  
22…コンタクト層  
24…ゲート絶縁膜  
26…ゲート電極  
28a…トランジスタ  
28b…トランジスタ  
30…層間絶縁膜  
32…コンタクトホール  
34…導体プラグ  
36…コンタクトホール  
38…導体プラグ  
40a、40b…配線  
42…グランド配線



1

## 【特許請求の範囲】

【請求項1】 下地基板上に第1のゲート絶縁膜を介して形成された第1のゲート電極を有する第1のトランジスタと、

前記第1のトランジスタ上及び前記下地基板上に形成された第1の絶縁膜と、

前記第1の絶縁膜上に、第1の間隔で互いに離間して形成された複数の第1の配線と、

前記第1の配線のいずれかから前記第1の間隔とほぼ等しい第2の間隔で離間して形成された第2の配線とを有し、

前記第1の配線のいずれかは、前記第1のゲート電極に電氣的に接続されており、

前記第2の配線は、前記下地基板に電氣的に接続されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記下地基板上に第2のゲート絶縁膜を介して形成された第2のゲート電極を有する第2のトランジスタと、前記第1の絶縁膜上、前記第1の配線上、及び前記第2の配線上に形成された第2の絶縁膜と、

前記第2の絶縁膜上に、第3の間隔で互いに離間して形成された複数の第3の配線と、

前記第3の配線のいずれかから前記第3の間隔とほぼ等しい第4の間隔で離間して形成された第4の配線とを更に有し、

前記第3の配線のいずれかは、前記第2のゲート電極に電氣的に接続されており、

前記第4の配線は、前記下地基板に電氣的に接続されていることを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、

前記第1の間隔、前記第2の間隔、前記第3の間隔、及び前記第4の間隔は、 $1\mu\text{m}$ 以下であることを特徴とする半導体装置。

【請求項4】 下地基板上に、ゲート絶縁膜を介して形成されたゲート電極を有するトランジスタを形成する工程と、

前記下地基板上及び前記トランジスタ上に、絶縁膜を形成する工程と、

前記絶縁膜上に、配線材料膜を形成する工程と、前記配線材料膜をエッチングし、少なくともいずれかが前記ゲート電極に電氣的に接続される第1の配線と、前記下地基板に電氣的に接続される第2の配線とを形成する工程とを有し、

前記配線材料膜をエッチングする工程では、前記第1の配線どうしを離間する第1の間隔とほぼ等しい第2の間隔で、前記第1の配線のいずれかから離間して前記第2の配線を形成することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

2

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特にゲート絶縁膜の絶縁破壊を防止しつつ、微細な配線を形成しうる半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近時、LSI等の半導体装置は急速に微細化が進められており、これに伴って電界効果トランジスタのゲート絶縁膜も薄くなる傾向にある。

【0003】薄いゲート絶縁膜は電氣的ストレスに弱いため、強い電氣的ストレスが加わった場合には、ゲート絶縁膜に絶縁破壊が生じてしまう。

【0004】従来、ゲート絶縁膜に絶縁破壊が生じる要因としては、主として、ゲート電極をパターニングする際のプラズマの不均一によって、ゲート絶縁膜に強い電氣的ストレスが加わるためと考えられていた。

【0005】しかしながら、ゲート絶縁膜をパターニングする際のプラズマの不均一を是正した場合であっても、配線間隔の狭い微細化された半導体装置を製造する際においては、ゲート絶縁膜に絶縁破壊が生じやすいことが判ってきている。

【0006】ゲート絶縁膜に絶縁破壊が生じる半導体装置の製造方法を図8を用いて説明する。図8は、従来の半導体装置の製造方法を示す断面図である。

【0007】まず、図8(a)に示すように、半導体基板110上に、素子分離膜116を形成する。次に、素子分離膜116により画定された素子領域に、ゲート絶縁膜124を形成する。次に、ゲート絶縁膜124上にゲート電極126を形成する。次に、ゲート電極126に自己整合でソース/ドレイン拡散層(図示せず)を形成し、ゲート電極126とソース/ドレイン拡散層とを有するトランジスタ128を形成する。

【0008】次に、全面に層間絶縁膜130を形成し、ゲート電極126に達するコンタクトホール132を形成し、更に、全面に、配線材料膜144を形成する。次に、配線材料膜144上に、配線を形成するためのフォトリソリットマスク146を形成する。

【0009】次に、フォトリソリットマスク146をマスクとして、配線材料膜144をエッチングする。この際、パターン間隔が広い半導体装置では特段の問題は生じないが、パターン間隔が狭い微細な半導体装置においては、パターン間隔が狭い領域でエッチングレートが遅くなるといったマイクロローディング効果が発生する。この時、陽イオンは基板表面でのシース電界により加速されて半導体基板110に対してほぼ垂直に入射する一方、電子はシース電界により減速されるため半導体基板110に対して斜めに入射する。このため、フォトリソリットマスク146のパターン間隔が狭い領域においては、フォトリソリットマスク146の側面には電子が多く入射し、配線材料膜144には陽イオンが多く入射する

3

(図8(b)参照)。

【0010】そして、エッチングの進行に伴い、電子が多く入射したフォトレジストマスク146は負に帯電し、陽イオンが多く入射した配線材料膜144は正に帯電する。このようにして、配線材料膜144及びゲート電極126に正の電荷がチャージアップされる。

【0011】そして、チャージアップが進行してゲート絶縁膜124の耐圧以上の電圧が半導体基板110とゲート電極126との間に加わると、ゲート絶縁膜124に絶縁破壊が生じ、正の電荷が半導体基板110側に放電される(図8(c)参照)。

【0012】そこで、かかるチャージアップダメージを回避するために、ゲート電極126と半導体基板110との間に保護ダイオードを挿入する技術が提案されている。ゲート電極126と半導体基板110との間に保護ダイオードを挿入すれば、ゲート電極126と半導体基板110との間の電位差を小さくすることができ、これによりゲート絶縁膜124に絶縁破壊が生じるのを防止することができる。

【0013】

【発明が解決しようとする課題】しかしながら、すべてのゲート電極に保護ダイオードを接続することは困難であり、ひいては、半導体装置の集積度を向上する上での阻害要因となる。

【0014】そこで、配線の面積をゲート面積で除した値であるアンテナ比が高い配線においてチャージアップダメージが生じやすいことから、かかるアンテナ比の高い配線にのみ保護ダイオードを接続することが考えられるが、設計データ等からアンテナ比を計算して保護ダイオードを接続すべきゲート電極を特定することは必ずしも容易ではなかった。

【0015】本発明の目的は、微細化した配線を形成する場合であっても、ゲート絶縁膜の破壊を防止する半導体装置及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】上記目的は、下地基板上に第1のゲート絶縁膜を介して形成された第1のゲート電極を有する第1のトランジスタと、前記第1のトランジスタ上及び前記下地基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に、第1の間隔で互いに離間して形成された複数の第1の配線と、前記第1の配線のいずれかから前記第1の間隔とほぼ等しい第2の間隔で離間して形成された第2の配線とを有し、前記第1の配線のいずれかは、前記第1のゲート電極に電気的に接続されており、前記第2の配線は、前記下地基板に電気的に接続されていることを特徴とする半導体装置により達成される。これにより、第1の間隔とほぼ等しい間隔で、第1の配線から離間して第2の配線を形成しているので、第1の配線と第2の配線とを一定のタイミングまで互いに接続された状態とすることができる。しかも、第

4

2の配線を下地基板に接続し、第1の配線を第1のトランジスタの第1のゲート電極に接続しているので、第1の配線と第2の配線とに電荷がチャージアップされた場合であっても、第1のゲート絶縁膜に加わる電界を小さくすることができ、第1のゲート絶縁膜の絶縁破壊を防止することができる。

【0017】また、上記の半導体装置において、前記下地基板上に第2のゲート絶縁膜を介して形成された第2のゲート電極を有する第2のトランジスタと、前記第1の絶縁膜上、前記第1の配線上、及び前記第2の配線上に形成された第2の絶縁膜と、前記第2の絶縁膜上に、第3の間隔で互いに離間して形成された複数の第3の配線と、前記第3の配線のいずれかから前記第3の間隔とほぼ等しい第4の間隔で離間して形成された第4の配線とを更に有し、前記第3の配線のいずれかは、前記第2のゲート電極に電気的に接続されており、前記第4の配線は、前記下地基板に電気的に接続されていることが望ましい。

【0018】また、上記の半導体装置において、前記第1の間隔、前記第2の間隔、前記第3の間隔、及び前記第4の間隔は、1 $\mu$ m以下であることが望ましい。

【0019】また、上記目的は、下地基板上に、ゲート絶縁膜を介して形成されたゲート電極を有するトランジスタを形成する工程と、前記下地基板上及び前記トランジスタ上に、絶縁膜を形成する工程と、前記絶縁膜上に、配線材料膜を形成する工程と、前記配線材料膜をエッチングし、少なくともいずれかが前記ゲート電極に電気的に接続される第1の配線と、前記下地基板に電気的に接続される第2の配線とを形成する工程とを有し、前記配線材料膜をエッチングする工程では、前記第1の配線どうしを離間する第1の間隔とほぼ等しい第2の間隔で、前記第1の配線のいずれかから離間して前記第2の配線を形成することを特徴とする半導体装置の製造方法により達成される。これにより、第1の間隔とほぼ等しい間隔で、第1の配線から離間して第2の配線を形成しているので、第1の配線と第2の配線とを一定のタイミングまで互いに接続された状態とすることができる。しかも、第2の配線が下地基板に接続され、第1の配線がトランジスタのゲート電極に接続されているので、第1の配線と第2の配線とに電荷がチャージアップされた場合であっても、ゲート絶縁膜に加わる電界を小さくすることができ、ゲート絶縁膜の絶縁破壊を防止することができる。

【0020】

【発明の実施の形態】〔第1実施形態〕本発明の第1実施形態による半導体装置及びその製造方法を図1乃至図5を用いて説明する。図1は、本実施形態による半導体装置を示す断面図及び平面図である。なお、図1(a)は、図1(b)のA-A'線断面図である。図2乃至図4は、本実施形態による半導体装置の製造方法の工程断

5

面図である。図5は、配線とダミー配線との間隔を広く設定した半導体装置の断面図及び平面図である。

【0021】(半導体装置) 図1に示すように、半導体基板10には、p形不純物が高濃度に導入されたウェル12が形成されており、ウェル12が形成された半導体基板10上には、素子領域14及びコンタクト領域20を画定する素子分離膜16が形成されている。

【0022】素子領域14の半導体基板10の表面には、ゲート絶縁膜24が形成されており、ゲート絶縁膜24上にはゲート電極26が形成されている。ゲート電極26の両側の半導体基板10には、ゲート電極26に自己整合でソース/ドレイン拡散層(図示せず)が形成されている。こうして、図1(b)に示すように、ソース/ドレイン拡散層とゲート電極26とを有するトランジスタ28a、28bが形成されている。

【0023】また、素子分離膜16により画定されたコンタクト領域20には、p形不純物が高濃度に導入されたコンタクト層22が形成されている。

【0024】トランジスタ28a、28bが形成された半導体基板10上には、全面に、層間絶縁膜30が形成されている。層間絶縁膜30には、ゲート電極26に達するコンタクトホール32が形成されており、コンタクトホール32内には、導体プラグ34が埋め込まれている。また、層間絶縁膜30には、コンタクト層22に達するコンタクトホール36が形成されており、コンタクトホール36内には、導体プラグ38が埋め込まれている。

【0025】導体プラグ34、38が埋め込まれた層間絶縁膜30上には、配線40aと配線40bとが形成されている。配線40aは、トランジスタ28bのゲート電極26に接続されており、配線40bは、トランジスタ28aのゲート電極26に接続されている。

【0026】また、層間絶縁膜30上には、ダミー配線42が形成されている。配線42は、導体プラグ38を介してコンタクト層22に接続されており、コンタクト層22を介してウェル12に接続されている。なお、ダミー配線42は、トランジスタ等の半導体素子には特に接続されていない。

【0027】また、配線40aと配線40bとの間隔 $d_1$ と、ダミー配線42と配線40aとの間隔 $d_2$ とが、ほぼ等しく設定されている。

【0028】本実施形態による半導体装置は、配線40aと配線40bとの間隔 $d_1$ と、ダミー配線42と配線40aとの間隔 $d_2$ とが、ほぼ等しく設定されており、しかも、ダミー配線が下地基板に接続されていることに主な特徴がある。

【0029】配線40aと配線40bとの間隔 $d_1$ と、ダミー配線42と配線40aとの間隔 $d_2$ とが、ほぼ等しく設定されているため、配線材料膜がパターンングにより互いに分離されて配線40a、40b及びダミー配

6

線42が形成されるタイミングをほぼ等しくすることができる。

【0030】このため、マイクロローディング効果により配線材料膜に電荷がチャージアップされた場合であっても、トランジスタ28aのゲート電極26とウェル12との間に大きな電位差が生じるのを抑制することができ、トランジスタ28aのゲート絶縁膜に絶縁破壊が生じるのを防止することができる。

【0031】従って、本実施形態によれば、微細化な半導体装置を提供する場合であっても、ゲート絶縁膜の絶縁破壊を防止することができ、信頼性の高い半導体装置を提供することができる。なお、マイクロローディング効果は、配線間隔 $d_1$ が $1\mu\text{m}$ 以下の場合に生じやすいものであるため、配線間隔 $d_1$ が例えば $1\mu\text{m}$ 以下の場合に特に有効である。従って、配線間隔 $d_2$ も例えば $1\mu\text{m}$ 以下に設定されることになる。

【0032】(半導体装置の製造方法) 次に、本実施形態による半導体装置の製造方法を図2乃至図5を用いて説明する。

【0033】まず、イオン注入法により、半導体基板10にp形不純物を高濃度に導入し、これによりp形のウェル12を形成する。

【0034】次に、LOCOS(Local Oxidation of Silicon)法により、素子領域14及びコンタクト領域20を画定する素子分離膜16を形成する。

【0035】次に、熱酸化法により、半導体基板10の表面にゲート絶縁膜24を形成する。次に、ポリシリコンより成るゲート電極26を形成する(図2(a)参照)。

【0036】次に、ゲート電極26に自己整合でn形不純物を導入し、これにより、ゲート電極26の両側にソース/ドレイン拡散層(図示せず)を形成する。

【0037】次に、コンタクト領域20にp形不純物を高濃度に導入し、これによりコンタクト層22を形成する(図2(a)参照)。

【0038】次に、全面に、CVD(Chemical Vapor Deposition、化学気相堆積)法により、膜厚約 $1\mu\text{m}$ のBPSG(Boro-Phospho-Silicate Glass)より成る層間絶縁膜30を形成する。

【0039】次に、層間絶縁膜30に、ゲート電極26に達するコンタクトホール32と、コンタクト層22に達するコンタクトホール36とを形成する。

【0040】次に、全面に、CVD法により、膜厚約 $400\text{nm}$ のタングステンより成る配線材料膜を形成する。次に、CMP(Chemical Mechanical Polishing、化学的機械的研磨)法により、層間絶縁膜30の表面が露出するまで配線材料膜を研磨し、これにより、コンタクトホール32、36内に、それぞれ導体プラグ34、38を形成する(図2(b)参照)。

【0041】次に、全面に、スパッタ法により、膜厚約

7

400nmのAlより成る配線材料膜44を形成する(図2(c)参照)。

【0042】次に、全面に、スピンコート法により、フォトリソ膜を形成する。次に、フォトリソグラフィ技術を用い、配線40a、40b及びダミー配線42を形成するためのフォトリソマスク46を形成する(図3(a)参照)。

【0043】次に、フォトリソマスク46をマスクとして、配線材料膜44をドライエッチングする。配線材料膜44をエッチングする際、フォトリソマスク46のパターン間隔が狭い領域においては、エッチングレートが遅くなるといったマイクロローディング効果が発生する。この時、陽イオンは基板表面のシース電界により加速されて半導体基板10に対してほぼ垂直に入射する一方、電子はシース電界により減速されるため半導体基板10に対して斜めに入射する。このため、フォトリソマスク46のパターン間隔が狭い領域においては、フォトリソマスク46の側面には電子が多く入射し、配線材料膜44には陽イオンが多く入射する(図3(b)参照)。

【0044】そして、エッチングが進行していくと、電子が多く入射したフォトリソマスク46は負に帯電し、陽イオンが多く入射した配線材料膜44は正に帯電する。このようにして、配線材料膜44に正の電荷がチャージアップされることとなる。

【0045】しかしながら、本実施形態では、配線40aと配線40bとの間隔 $d_1$ と、配線40aとダミー配線42との間隔 $d_2$ とがほぼ等しく設定されているため、配線40a、40b及びダミー配線42が一定のタイミングまでは互いに接続された状態となる。しかも、配線材料膜44のダミー配線42の部分は導体プラグ38等を介してウェル12に接続されており、配線材料膜44の配線40bの部分は導体プラグ34を介してトランジスタ28aのゲート電極26に接続されている。従って、本実施形態によれば、配線材料膜44に正の電荷がチャージアップされた場合であっても、トランジスタ28aのゲート電極26とウェル12との間の電位差を小さくすることができ、ゲート絶縁膜24の絶縁破壊を防止することができる。

【0046】こうして、配線間隔が狭い微細な半導体装置を製造する場合であっても、ゲート絶縁膜の絶縁破壊を防止することができ、信頼性の高い半導体装置を提供することができる(図4(b)参照)。

【0047】なお、図5に示すように、配線40aと配線40bとの間隔 $d_1$ よりも、配線40aとダミー配線42との間隔 $d_2$ の方が大きい場合には、パターン間隔が広い領域においてエッチングレートが早くなるため、ダミー配線42が配線材料膜44から早期に分離される。このため、マイクロローディング効果により配線材料膜44に正の電荷がチャージアップされた場合には、

8

ゲート電極26とウェル12との間に高い電圧差が生じ、これによりゲート絶縁膜24に絶縁破壊が生じてしまう。従って、配線40aと配線40bとの間隔 $d_1$ と、配線40aとダミー配線42との間隔 $d_2$ とは、図1に示すように、互いに等しく設定することが望ましい。

【0048】このように、本実施形態によれば、配線間隔とほぼ等しい間隔で、配線から離間してダミー配線を形成しているため、配線とダミー配線とを一定のタイミングまで互いに接続された状態とすることができる。しかも、配線材料膜のダミー配線の部分を下地基板に接続し、配線材料膜の配線の部分をトランジスタのゲート電極に接続しているため、配線材料膜に正の電荷がチャージアップされた場合であっても、ゲート絶縁膜に加わる電界を小さくすることができ、ゲート絶縁膜の絶縁破壊を防止することができる。

【0049】[第2実施形態] 本発明の第2実施形態による半導体装置を図6を用いて説明する。図6は、本実施形態による半導体装置を示す断面図である。図1乃至図5に示す第1実施形態による半導体装置及びその製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0050】図1に示すように、半導体基板10上には、p形不純物が高濃度に導入されたウェル12aが形成されており、ウェル12aが形成された半導体基板10上には、素子領域14a、14b及びコンタクト領域20aを画定する素子分離膜16が形成されている。

【0051】素子領域14に設けられたトランジスタ28aは、第1実施形態で説明したトランジスタ28aと同様であるので説明を省略する。

【0052】また、素子領域14aにも、トランジスタ28aと同様のトランジスタ28bが形成されている。

【0053】トランジスタ28a、28cが形成された半導体基板10上には、第1実施形態と同様に層間絶縁膜30が形成されている。

【0054】層間絶縁膜30には、第1実施形態と同様にトランジスタ28aのゲート電極26に達するコンタクトホール32が形成されており、コンタクトホール32内には、導体プラグ34が埋め込まれている。

【0055】また、層間絶縁膜30には、トランジスタ28cのゲート電極26に達するコンタクトホール32aが形成されており、コンタクトホール32a内には、導体プラグ34aが埋め込まれている。

【0056】また、コンタクト領域20には、第1実施形態と同様に、p形のコンタクト層22が形成されている。また、層間絶縁膜30には、コンタクト層22に達するコンタクトホール36が形成されており、コンタクトホール36内には、導体プラグ38が形成されている。

【0057】導体プラグ32、32a、38が埋め込ま

れた層間絶縁膜30上には、1層目の配線、即ち配線40a、40b及びダミー配線42が、第1実施形態と同様に形成されている。配線40aと配線40bとの間隔d<sub>1</sub>は、第1実施形態と同様に、ダミー配線42と配線40aとの間隔d<sub>2</sub>とほぼ等しく設定されている。

【0058】従って、第1実施形態で説明したのと同様に、配線40a、40bを形成する際に、トランジスタ28aのゲート絶縁膜24に絶縁破壊が生じるのを防止することができる。

【0059】また、層間絶縁膜30上には、導体プラグ32aに接続された配線48が形成されている。

【0060】配線40a、40b、48及びダミー配線42が形成された層間絶縁膜30上には、全面に層間絶縁膜50が形成されている。

【0061】層間絶縁膜50には、ダミー配線42に達するコンタクトホール52が形成されており、コンタクトホール52内には、導体プラグ54が埋め込まれている。また、層間絶縁膜50には、配線48に達するコンタクトホール56が形成されており、コンタクトホール56内には、導体プラグ58が形成されている。

【0062】導体プラグ54及び導体プラグ58が埋め込まれた層間絶縁膜50上には、第2層の配線、即ち、配線60a乃至60c及びダミー配線62が形成されている。また、配線60a乃至60cの互いの間隔d<sub>3</sub>は、ダミー配線62と配線60aとの間隔d<sub>4</sub>とほぼ等しく設定されている。

【0063】本実施形態では、間隔d<sub>3</sub>と間隔d<sub>4</sub>とがほぼ等しいため、配線材料膜をパターニングして配線60a乃至60c及びダミー配線62を形成する際には、ほぼ同じタイミングで配線材料膜が分離されて配線60a乃至60c及びダミー配線62が形成される。しかも、配線60cは導体プラグ58等を介してトランジスタ28cのゲート電極26に接続されており、ダミー配線62は導体プラグ54、ダミー配線42等を介して下地基板に接続されている。

【0064】従って、本実施形態によれば、配線40a、40bを形成する際にトランジスタ28aのゲート絶縁膜の絶縁破壊を防止することができるのと同様に、配線60a乃至60cを形成する際にも、トランジスタ28cのゲート絶縁膜24に絶縁破壊が生じるのを防止することができる。なお、マイクロローディング効果は、配線間隔d<sub>3</sub>が1μm以下の場合に生じやすいものであるため、配線間隔d<sub>3</sub>が例えば1μm以下の場合に特に有効である。従って、配線間隔d<sub>4</sub>も例えば1μm以下に設定されることになる。

【0065】このように、本実施形態によれば、第1層の配線を形成する際にトランジスタのゲート絶縁膜の絶縁破壊を防止することができるのみならず、第2層の配線を形成する場合にも、ゲート絶縁膜の絶縁破壊を防止することができる。

【0066】なお、本実施形態による半導体装置は、第1実施形態に示した半導体装置の製造方法と同様の方法により、導体プラグ52、56、配線60a乃至60c、及びダミー配線62等を適宜形成することにより製造することができる。

【0067】【第3実施形態】本発明の第3実施形態による半導体装置を図7を用いて説明する。図7は、本実施形態による半導体装置を示す断面図である。図1乃至図6に示す第1及び第2実施形態による半導体装置と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0068】まず、導体プラグ34、36、34aが埋め込まれた層間絶縁膜30より下部の構造については、第2実施形態による半導体装置と同様であるので、説明を省略する。

【0069】導体プラグ34、34a、38が埋め込まれた層間絶縁膜30上には、導体プラグ34に接続された配線40b、導体プラグ34aに接続された配線48、及び導体プラグ38に接続されたダミー配線42が、第2実施形態と同様に形成されている。配線40b、48及びダミー配線42が形成された層間絶縁膜30上には、第2実施形態と同様に、全面に層間絶縁膜50が形成されている。

【0070】層間絶縁膜50には、第2実施形態と同様に、ダミー配線42に接続された導体プラグ54が埋め込まれており、配線48に接続された導体プラグ58が埋め込まれている。また、層間絶縁膜50には、配線40bに達するコンタクトホール64が形成されており、コンタクトホール64内には、導体プラグ66が埋め込まれている。

【0071】導体プラグ54、58、66が埋め込まれた層間絶縁膜50上には、第2層の配線、即ち配線60a乃至60c及びダミー配線62が、第2実施形態と同様に形成されている。従って、第2実施形態で説明したのと同様に、配線60a乃至60cを形成する際に、トランジスタ28cのゲート絶縁膜24に絶縁破壊が生じるのを防止することができる。

【0072】また、層間絶縁膜40上には、配線68が形成されている。

【0073】配線60a乃至60c、68及びダミー配線62が形成された層間絶縁膜50上には、層間絶縁膜69が形成されている。

【0074】層間絶縁膜69には、配線68に達するコンタクトホール70が形成されており、コンタクトホール70内には、導体プラグ72が埋め込まれている。また、層間絶縁膜69には、ダミー配線62に達するコンタクトホール74が形成されており、コンタクトホール74内には、導体プラグ76が埋め込まれている。

【0075】導体プラグ72、76が埋め込まれた層間絶縁膜69上には、第3層の配線、即ち、配線78a、



78b及びダミー配線80が形成されている。また、配線78a、78bの間隔 $d_5$ は、ダミー配線80と配線78aとの間隔 $d_6$ とほぼ等しく設定されている。

【0076】本実施形態では、間隔 $d_5$ と間隔 $d_6$ とがほぼ等しいため、配線材料膜をパターンニングして配線78a、78b及びダミー配線80を形成する際には、ほぼ同じタイミングで配線材料膜が分離されて配線78a、78b及びダミー配線80が形成される。しかも、配線78aは導体プラグ72等を介してトランジスタ28aのゲート電極26に接続されており、ダミー配線80は導体プラグ76、ダミー配線62等を介して下地基板に接続されている。

【0077】従って、本実施形態によれば、第2層の配線、即ち、配線60a乃至60cを形成する際にトランジスタ28cのゲート絶縁膜の絶縁破壊を防止することができ、第3層の配線、即ち、配線78a乃至78bを形成する際にも、トランジスタ28aのゲート絶縁膜24に絶縁破壊が生じるのを防止することができる。なお、マイクロローディング効果は、配線間隔 $d_4$ が $1\mu\text{m}$ 以下の場合に生じやすいものであるため、配線間隔 $d_4$ が例えば $1\mu\text{m}$ 以下の場合に特に有効である。従って、配線間隔 $d_6$ も例えば $1\mu\text{m}$ 以下に設定されることになる。

【0078】このように、本実施形態によれば、第2層の配線を形成する際にトランジスタのゲート絶縁膜の絶縁破壊を防止することができるのみならず、第3層の配線を形成する場合にも、ゲート絶縁膜の絶縁破壊を防止することができる。

【0079】なお、本実施形態による半導体装置は、第1及び第2実施形態に示した半導体装置の製造方法と同様の方法により、導体プラグ72、76、配線78a、78b、及びダミー配線80等を適宜形成することにより製造することができる。

【0080】〔変形実施形態〕本発明は上記実施形態に限らず種々の変形が可能である。

【0081】例えば、第1実施形態では、p形のウェル12にp形のコンタクト層22を形成したが、p形のウェルにp形のコンタクト層を形成するのみならず、n形ウェルにn形のコンタクト層を形成してもよい。この場合でも、上記と同様の効果を得ることができる。

【0082】また、第1実施形態では、p形のウェル12にp形のコンタクト層22を形成したが、p形のウェルにn形の不純物層を形成することにより、n形のダイオードを構成してもよい。また、n形のウェルにp形の不純物層を形成することにより、p形のダイオードを構成してもよい。いずれの場合も、ウェルとゲート電極との間の電位差を小さくすることができるので、ゲート絶縁膜に絶縁破壊が生じるのを防止することができる。

【0083】また、半導体装置の製造工程中においては、ダミー配線の一側の側がp形のウェルに接続され、

そのダミー配線の他方の側がn形のウェルに接続されていてもよい。但し、この場合には、最終的に、ダミー配線を任意の箇所でカットする必要がある。n形のウェルとp形のウェルとが同一のダミー配線で接続されると、電源の正側と負側とが短絡してしまうからである。

【0084】

【発明の効果】以上の通り、本発明によれば、配線間隔とほぼ等しい間隔で、配線から離間してダミー配線を形成しているため、配線とダミー配線とを一定のタイミングまで互いに接続された状態とすることができる。しかも、配線材料膜のダミー配線の部分を下地基板に接続し、配線材料膜の配線の部分をトランジスタのゲート電極に接続しているため、配線材料膜に正の電荷がチャージアップされた場合であっても、ゲート絶縁膜に加わる電界を小さくすることができ、ゲート絶縁膜の絶縁破壊を防止することができる。

【0085】また、本発明によれば、第1層の配線を形成する際にトランジスタのゲート絶縁膜の絶縁破壊を防止することができるのみならず、第2層の配線を形成する場合にも、ゲート絶縁膜の絶縁破壊を防止することができる。

【0086】また、本発明によれば、第2層の配線を形成する際にトランジスタのゲート絶縁膜の絶縁破壊を防止することができるのみならず、第3層の配線を形成する場合にも、ゲート絶縁膜の絶縁破壊を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による半導体装置を示す断面図及び平面図である。

【図2】本発明の第1実施形態による半導体装置の製造方法の工程断面図（その1）である。

【図3】本発明の第1実施形態による半導体装置の製造方法の工程断面図（その2）である。

【図4】本発明の第1実施形態による半導体装置の製造方法の工程断面図（その3）である。

【図5】配線とダミー配線との間隔を広く設定した半導体装置の断面図及び平面図である。

【図6】本発明の第2実施形態による半導体装置を示す断面図である。

【図7】本発明の第3実施形態による半導体装置を示す断面図である。

【図8】従来の半導体装置の製造方法を示す断面図である。

【符号の説明】

- 10…半導体基板
- 12…ウェル
- 14…素子領域
- 16…層間絶縁膜
- 20…コンタクト領域
- 22…コンタクト層

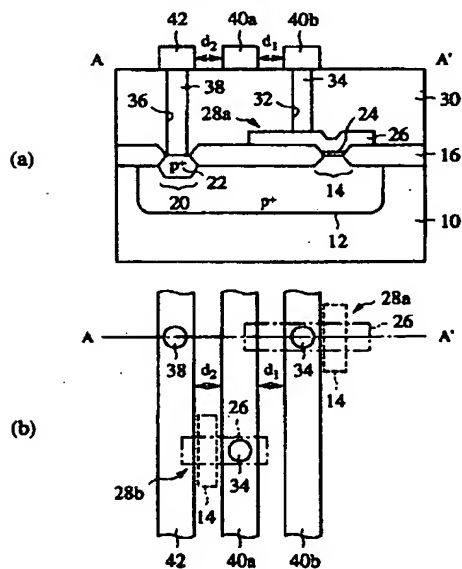


13

- 24…ゲート絶縁膜
- 26…ゲート電極
- 28a…トランジスタ
- 28b…トランジスタ
- 28c…トランジスタ
- 30…層間絶縁膜
- 32…コンタクトホール
- 34…導体プラグ
- 36…コンタクトホール
- 38…導体プラグ
- 40a、40b…配線
- 42…ダミー配線
- 44…配線材料膜
- 46…フォトリソマスク
- 48…配線
- 50…層間絶縁膜
- 52…コンタクトホール
- 54…導体プラグ
- 56…コンタクトホール
- 58…導体プラグ
- 60a、60b、60c…配線

【図1】

本発明の第1実施形態による半導体装置を示す  
断面図及び平面図



- |            |             |
|------------|-------------|
| 10…半導体基板   | 30…層間絶縁膜    |
| 12…ウェル     | 32…コンタクトホール |
| 14…電子領域    | 34…導体プラグ    |
| 16…層間絶縁膜   | 36…コンタクトホール |
| 20…コンタクト領域 | 38…導体プラグ    |
| 22…コンタクト層  | 40a、40b…配線  |
| 24…ゲート絶縁膜  | 42…ダミー配線    |
| 26…ゲート電極   |             |
| 28a…トランジスタ |             |
| 28b…トランジスタ |             |

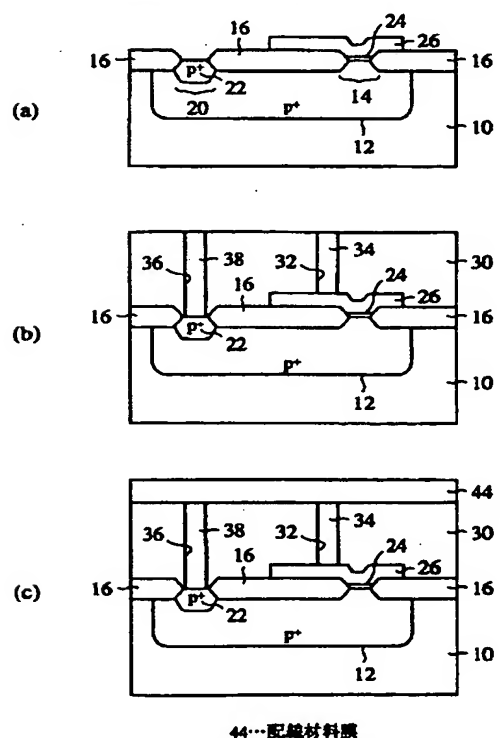
14

- \* 62…ダミー配線
- 64…コンタクトホール
- 66…導体プラグ
- 68…配線
- 69…層間絶縁膜
- 70…コンタクトホール
- 72…導体プラグ
- 74…コンタクトホール
- 76…導体プラグ
- 10 78a、78b…配線
- 80…ダミー配線
- 110…半導体基板
- 116…層間絶縁膜
- 124…ゲート絶縁膜
- 126…ゲート電極
- 128…トランジスタ
- 130…層間絶縁膜
- 132…コンタクトホール
- 144…配線材料膜
- 20 146…フォトリソマスク

\*

【図2】

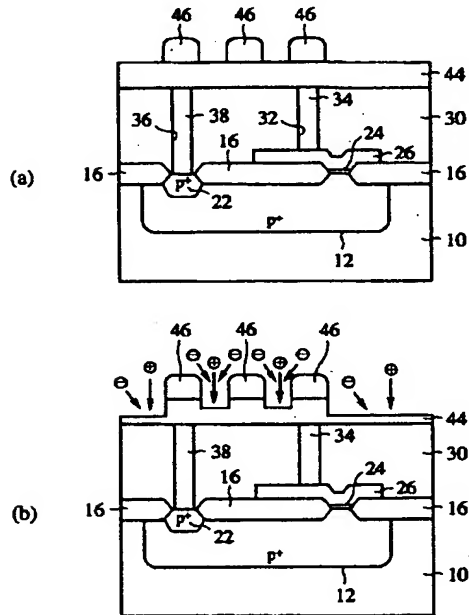
本発明の第1実施形態による半導体装置の  
製造方法の工程断面図(その1)



44…配線材料膜

【図3】

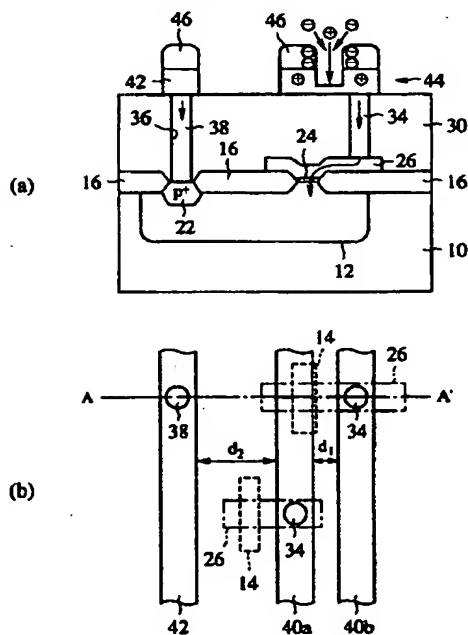
本発明の第1実施形態による半導体装置の  
製造方法の工程断面図(その2)



46...フォトリソマスク

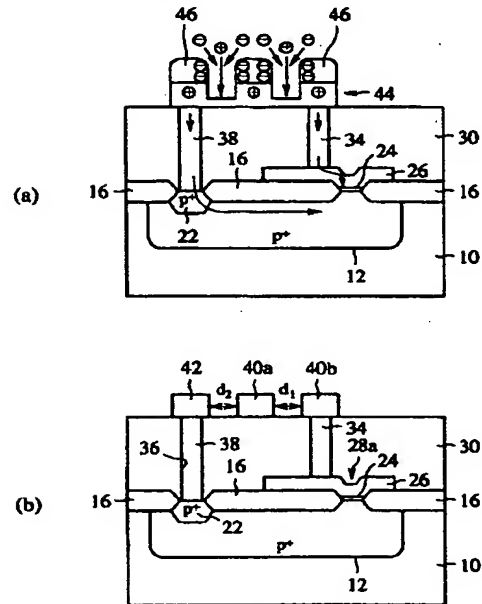
【図5】

配線とダミー配線との間隔を広く設定した  
半導体装置の断面図及び平面図



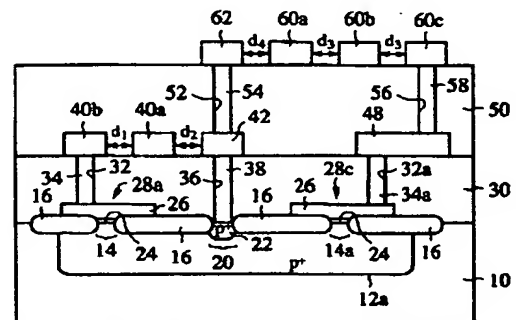
【図4】

本発明の第1実施形態による半導体装置の  
製造方法の工程断面図(その3)



【図6】

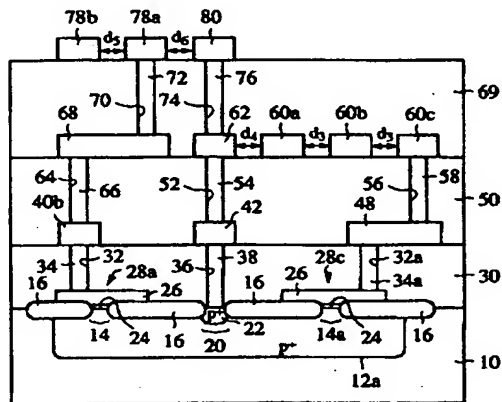
本発明の第2実施形態による半導体装置を示す断面図



28c...トランジスタ  
48...配線  
50...層間絶縁膜  
52...コンタクトホール  
54...導体プラグ  
56...コンタクトホール  
58...導体プラグ  
60a、60b、60c...配線  
62...ダミー配線

【図7】

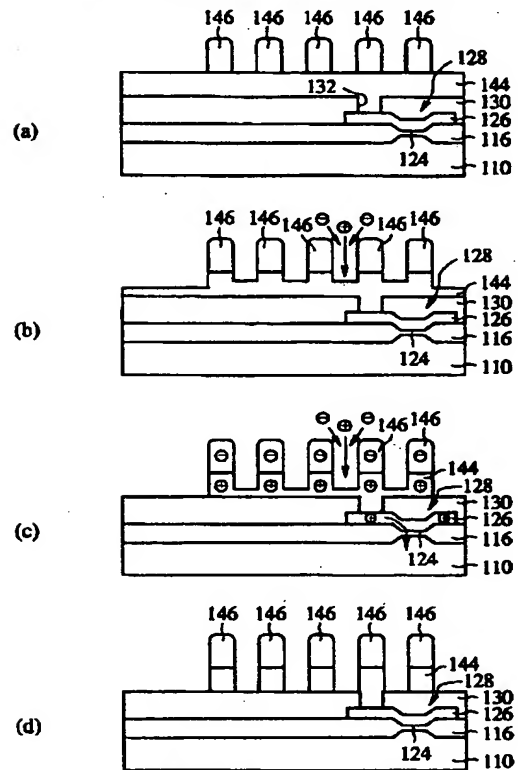
本発明の第3実施形態による半導体装置を示す断面図



64...コンタクトホール  
66...導体プラグ  
68...配線  
69...層間絶縁膜  
70...コンタクトホール  
72...導体プラグ  
74...コンタクトホール  
76...導体プラグ  
78a, 78b...配線  
80...ダミー配線

【図8】

従来の半導体装置の製造方法を示す断面図



110...半導体基板  
116...層間絶縁膜  
124...ゲート絶縁膜  
126...ゲート電極  
128...トランジスタ  
130...層間絶縁膜  
132...コンタクトホール  
144...配線材料膜  
146...フォトリソマスク

フロントページの続き

Fターム(参考) 5F033 HH08 JJ19 KK01 KK04 KK08  
PP06 PP15 QQ08 QQ11 QQ37  
QQ48 RR15 SS11 VV01 XX00  
5F040 EC07 EJ01 EK01